

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-039899
 (43)Date of publication of application : 12.02.1999

(51)Int.Cl. G11C 29/00
 G01R 31/28
 G01R 31/3185
 G01R 31/30
 G11C 11/409
 G11C 11/401
 H01L 21/66

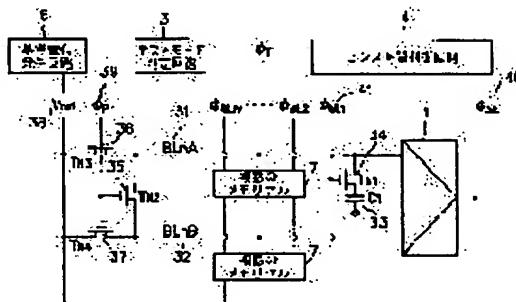
(21)Application number : 09-197084 (71)Applicant : NEC CORP
 (22)Date of filing : 23.07.1997 (72)Inventor : HOSHI KATSUSHI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor storage device with a reduced test time.

SOLUTION: This semiconductor storage device includes: at least two word lines; at least two bit lines disposed so as to cross the word lines; a reference potential generating circuit 6 for generating a predetermined reference potential V_{ref} ; reference potential transmitting circuits TN2-TN4 for transmitting the reference potential V_{ref} to the bit lines; memory cells 7; a sense amplifier 1 for amplifying a potential difference between the bit line pair; a test mode determining circuit 3 which detects signal information for starting a predetermined test; and a sense time control circuit 4 which is supplied as an input an output signal $\φ_V$ from the test mode determining circuit 3 and controls an operation delay time between the word lines and the sense amplifier. In a test mode with this configuration, a severe readout condition is provided, and a storage capacity of a memory cell with a small margin or a memory cell with a small storage voltage can be easily detected, and a sense amplifier with a low amplification sensitivity for the potential difference between the bit line pair can be easily found.



[Date of registration]

[Number of appeal against examiner's decision 2002-17655
of rejection]

[Date of requesting appeal against examiner's 12.09.2002
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-39899

(43)公開日 平成11年(1999)2月12日

(51)Int.Cl.⁸
G 1 1 C 29/00
G 0 1 R 31/28
31/3185
31/30
G 1 1 C 11/409

識別記号
6 7 1

F I
G 1 1 C 29/00
G 0 1 R 31/30
H 0 1 L 21/66
G 0 1 R 31/28

6 7 1 M
W
B
W

審査請求 有 請求項の数 7 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願平9-197084

(22)出願日 平成9年(1997)7月23日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 星 克司

東京都港区芝五丁目7番1号 日本電気株
式会社内

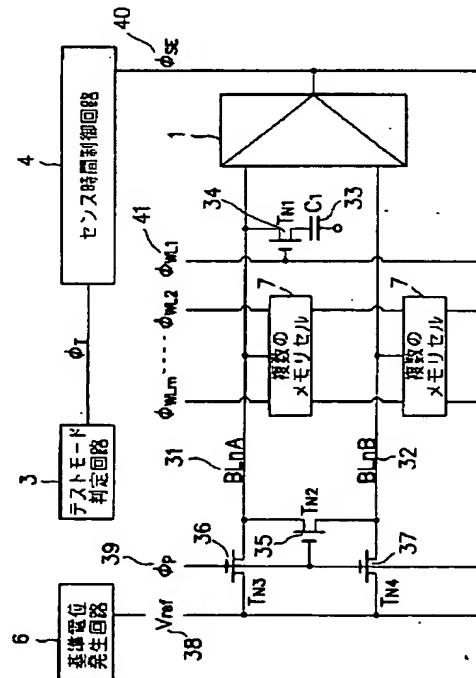
(74)代理人 弁理士 丸山 隆夫

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 テスト時間を短縮化した半導体記憶装置を得る。

【解決手段】 少なくとも2つのワード線およびこのワード線に交差して配置された少なくともビット線と、所定の基準電位 V_{ref} を発生する基準電位発生回路6と、ビット線に基準電位 V_{ref} を伝達する基準電位伝達回路 $TN_2 \sim TN_4$ と、メモリセル7と、ビット線対の間の電位差を增幅するセンスアンプ1と、所定のテストを開始するための信号情報を検出するテストモード判定回路3と、このテストモード判定回路3の出力信号 ϕ_T を入力としワード線とセンスアンプの動作遅延時間を制御するセンス時間制御回路4とを具備する。本構成のテストモードでは、読み出しの条件が厳しくなり、マージンの小さなメモリセルの記憶容量、または記憶電圧の少ないメモリセルを簡易に検出し、またビット線対間の差電位の増幅感度の低いセンスアンプを容易に見つけ出すことが可能となる。



【特許請求の範囲】

【請求項1】 少なくとも2つのワード線および該ワード線に交差して配置された少なくとも2つのビット線と、所定の基準電位を発生する基準電位発生回路と、前記ビット線に前記基準電位を伝達する基準電位伝達手段と、前記ワード線と前記ビット線とのいずれかの交点に設けられた少なくとも2個のメモリセルと、前記少なくとも2つのビット線のうち前記メモリセルの情報が供給される1つのビット線と前記基準電位が供給される1つのビット線とで構成されるビット線対に接続され、該ビット線対の間の電位差を増幅するセンスアンプと、所定のテストを開始するための信号情報を検出するテストモード判定回路と、該テストモード判定回路の出力信号を入力とし前記ワード線と前記センスアンプの動作遅延時間を制御するセンス時間制御回路とを具備し、データ記憶保持の動作マージンの小さなメモリセルの有無を短時間で検出可能としたことを特徴とする半導体記憶装置。

【請求項2】 前記センスアンプは、前記ビット線対毎に少なくとも2個を有することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記テストを開始するための信号情報は、前記動作マージンの小さなメモリセルの有無を検出するためのテストを開始することを示す信号であり、前記半導体記憶装置の外部から入力されることを特徴とする請求項1または2記載の半導体記憶装置。

【請求項4】 少なくとも2つのワード線および該ワード線に交差して配置された少なくとも2つのビット線と、

所定の基準電位を発生する基準電位発生回路と、前記ビット線に前記基準電位を伝達する基準電位伝達手段と、

前記ワード線と前記ビット線とのいずれかの交点に設けられた少なくとも2個のメモリセルと、

前記少なくとも2つのビット線のうち前記メモリセルの情報が供給される1つのビット線と前記基準電位が供給される1つのビット線とで構成されるビット線対に接続され、該ビット線対の間の電位差を増幅するセンスアンプと、

所定のテストを開始するための信号情報を検出するテストモード判定回路と、

該テストモード判定回路の出力信号を入力とし前記ビット線の前記基準電位を変圧する基準電位変圧手段とを具備し、

データ記憶保持の動作マージンの小さなメモリセルの有無を短時間で検出可能としたことを特徴とする半導体記

憶装置。

【請求項5】 前記センスアンプは、前記ビット線対毎に少なくとも2個を有することを特徴とする請求項4記載の半導体記憶装置。

【請求項6】 前記テストを開始するための信号情報は、前記動作マージンの小さなメモリセルの有無を検出するためのテストを開始することを示す信号であり、前記半導体記憶装置の外部から入力されることを特徴とする請求項4または5記載の半導体記憶装置。

【請求項7】 前記基準電位変圧手段は、前記ビット線の基準電圧を変圧する変圧信号発生手段を有して構成され、該変圧信号発生手段は、前記テストモード判定回路のテストを開始するための出力信号を入力し、ワード線選択信号の活性化後に前記ビット線の基準電圧を変圧することを特徴とする請求項4から6の何れか1項記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、例えば、データ記憶保持の動作マージン不足のメモリセル及びセンスアンプを検出する半導体記憶装置に関する。

【0002】

【従来の技術】従来、半導体記憶装置は、微細加工技術が年々進み、高集積化に伴い大容量化が年々進んでいる。一般にメモリセルの記憶情報量 Q_s は、(メモリセル記憶容量) \times (メモリセル記憶電圧) である、 $Q_s = C_s \times V_c$ で表される。

【0003】図5は、従来例1の半導体記憶装置の構成を表す回路図を示している。本従来例1の半導体記憶装置は、メモリセルアレイ、センスアンプ、プリチャージ部を有して構成される。図5において、10はセンスアンプで、メモリセルはNチャネルエンハンスマント型MOSトランジスタ(以下、Nchトランジスタともいう)TN1(14)及びコンデンサC1(13)により構成されている。プリチャージ回路はNchトランジスタTN2～4で構成されている。また、ビット線BLnA(11)およびBLnB(12)には複数のメモリセルが接続されており、この複数のメモリセルのNchトランジスタのゲートにはワード線である信号 ϕWL_m ($m=1 \sim m$)がビット線に交差するように接続されている。

【0004】図6は、図5の従来例1の半導体記憶装置の回路動作を説明するためのタイミングチャートである。図6の期間Aにおいて、プリチャージ信号 ϕP (19)は、Nchトランジスタのスレッショルド電圧(以下、VTともいう)を越える十分高い高レベルの電圧である。このため、ビット線BLnA(11)とBLnB(12)は、プリチャージ信号 ϕP (19)をゲート入力とするNchトランジスタTN2～4により基準電位

V_{ref} の電位に保持される。この時基準電位 V_{ref} の電位量は、電源電圧（以下、 V_{cc} という）と接地電位（以下、 GND という）の間の電位と仮定する。その後プリチャージ信号 ϕP は、高レベルから Nch トランジスタの VT 以下の低レベルの電位になる。

【0005】図6の期間Bにおいて、メモリセルを選択する信号 $\phi WL1(22)$ が低レベルから高レベルとなり、信号 $\phi WL1(22)$ をゲート入力とする Nch トランジスタ $TN1$ が活性化され、コンデンサ $C1(13)$ に保持された電荷がビット線 $BLnA(11)$ に出力される。この時、コンデンサ $C1(13)$ に高レベルの電位が充電されていたと仮定しビット線 $BLnA$ 側の動作を説明すると、図6に示されるように基準電位 V_{ref} に対し ΔV の電位上昇がビット線 $BLnA$ に生じる。

【0006】図6の期間Cにおいて、センスアンプ10を活性化する信号 ϕSE が低レベルから高レベルになり、センスアンプ10はビット線 $BLnA$ と $BLnB$ の差電位を比較増幅するため、ビット線 $BLnA$ は V_{cc} に、ビット線 $BLnB$ は GND に電位増幅される。

【0007】また、従来例2の特開平3-209688号公報の半導体記憶装置でも、読み出し動作時にビット線間の電位差を低下させ、データ記憶保持の動作マージンの小さなメモリセルを検出しテスト時間を短縮することを提案している。しかし、本従来例2では、一方のビット線に充電するN型電解効果トランジスタ3のゲート電位を $(VBL + \beta)$ にして、プリチャージ期間中においてビット線対間に電位差を生じさせるものである。

【0008】

【発明が解決しようとする課題】しかしながら、上記に構成されている従来例1の半導体記憶装置は、メモリセルの大容量化に伴いテスト時間が長大化する。特に微細加工が進んだため、メモリセル内で生じる寄生抵抗、寄生容量、寄生トランジスタ等の寄生素子によるメモリセルアレイの動作への影響が大きくなり、多数の種類のメモリセルパターンと動作タイミングの試験を行わなければならない。そのため、テスト時間の更なる増大も大きな問題になっている。

【0009】従来例2の半導体記憶装置は、製造時にこのN型電解効果トランジスタ3の VT がばらつくことで、複数のビット線対間の電位差もばらつく。このため、初期の電位差を安定化することができず、マージンの小さなメモリセルのみを検出することは困難である。また、ビット線 BLn が高レベルの時、N型電解効果トランジスタ3のゲート電位が $(VBL + \beta)$ であるため、ビット線 BLn の電位が低下するのに長い時間が必要になり、ビット線間に安定した差電位を提供することが困難である。

【0010】本発明は、マージンの小さなメモリセル、すなわち記憶容量または記憶電圧の少ないメモリセル

を、またビット線対間の差電位の増幅感度の低いセンスアンプを簡易に検出し、テスト時間を短縮化した半導体記憶装置を提供することを目的とする。

【0011】

【課題を解決するための手段】かかる目的を達成するため、請求項1に記載の発明の半導体記憶装置は、少なくとも2つのワード線およびこのワード線に交差して配置された少なくとも2つのビット線と、所定の基準電位を発生する基準電位発生回路と、ビット線に基準電位を伝達する基準電位伝達手段と、ワード線とビット線とのいずれかの交点に設けられた少なくとも2個のメモリセルと、少なくとも2つのビット線のうちメモリセルの情報が供給される1つのビット線と基準電位が供給される1つのビット線とで構成されるビット線対に接続され、このビット線対の間の電位差を増幅するセンスアンプと、所定のテストを開始するための信号情報を検出するテストモード判定回路と、このテストモード判定回路の出力信号を入力としワード線とセンスアンプの動作遅延時間を制御するセンス時間制御回路とを具備し、データ記憶保持の動作マージンの小さなメモリセルの有無を短時間で検出可能としたことを特徴としている。

【0012】また、上記のセンスアンプはビット線対毎に少なくとも2個を有し、テストを開始するための信号情報は、動作マージンの小さなメモリセルの有無を検出するためのテストを開始することを示す信号であり、この半導体記憶装置の外部から入力するとよい。

【0013】請求項4に記載の発明の半導体記憶装置は、少なくとも2つのワード線およびこのワード線に交差して配置された少なくとも2つのビット線と、所定の基準電位を発生する基準電位発生回路と、ビット線に基準電位を伝達する基準電位伝達手段と、ワード線とビット線とのいずれかの交点に設けられた少なくとも2個のメモリセルと、少なくとも2つのビット線のうちメモリセルの情報が供給される1つのビット線と、基準電位が供給される1つのビット線とで構成されるビット線対に接続され、このビット線対の間の電位差を増幅するセンスアンプと、所定のテストを開始するための信号情報を検出するテストモード判定回路と、このテストモード判定回路の出力信号を入力としビット線の基準電圧を変圧する基準電圧変圧手段とを具備し、データ記憶保持の動作マージンの小さなメモリセルの有無を短時間で検出可能としたことを特徴としている。

【0014】また、上記のセンスアンプはビット線対毎に少なくとも2個を有し、テストを開始するための信号情報は、動作マージンの小さなメモリセルの有無を検出するためのテストを開始することを示す信号であり、この半導体記憶装置の外部から入力するとよい。

【0015】さらに、基準電位変圧手段は、ビット線の基準電圧を変圧する変圧信号発生手段を有して構成され、この変圧信号発生手段は、テストモード判定回路の

テストを開始するための出力信号を入力し、ワード線選択信号の活性化後にビット線の基準電圧を変圧するとよい。

【0016】

【発明の実施の形態】次に添付図面を参照して本発明による半導体記憶装置の実施の形態を詳細に説明する。図1～図4を参照すると本発明の半導体記憶装置の実施形態が示されている。図1および図2は第1の実施形態、図3および図4は第2の実施形態を表す。そして、図1および図3は、各実施形態の半導体記憶装置の回路構成例を示すブロック図であり、図2および図4は動作例を表したタイミングチャートである。

【0017】【第1の実施形態】図1において、1はセンスアンプで複数のビット線BL_{nA} (n=1～n), BL_{nB} (n=1～n) が接続されている。メモリセル7は、NchトランジスタTN1 (34) とコンデンサC1 (33) により構成され、このメモリセル7のNchトランジスタTN1 (34) のゲートには、ワード線である信号 ϕWL_1 (41) が接続されている。また、ビット線BL_{nA} (31) およびBL_{nB} (32) には、複数のメモリセル7が接続されており、この複数のメモリセル7のNchトランジスタのゲートには、ワード線である信号 ϕWL_m (但し、mは2以上の自然数) がビット線に交差するように接続されている。

【0018】基準電位を伝達する基準電位伝達手段（または、プリチャージ回路ともいう）は、基準電位発生回路6とNchトランジスタTN2～TN4で構成されている。このプリチャージ回路を構成するNchトランジスタTN2～TN4の各々のゲートには、プリチャージ信号 ϕP (39) が接続されている。NchトランジスタTN2 (35) はビット線BL_{nA} (31) とビット線BL_{nB} (32) の間に接続され、NchトランジスタTN3はビット線BL_{nA} (31) と基準電位Vref (38) の間に接続され、NchトランジスタTN4 (37) はビット線BL_{nB} (32) と基準電位Vref (38) の間に接続されている。センスアンプ1は信号 ϕSE (40) によりセンス時間制御回路4に接続され、センス時間制御回路4は ϕT によりテストモード判定回路3に接続される。

【0019】次に図1の半導体記憶装置の回路の動作について説明する。本第1の実施形態の半導体記憶装置には、通常動作モードとテスト動作モードの2種類がある。通常動作モードとテスト動作モードの識別は、半導体記憶装置の外部からの信号情報を入力し、テストモード判定回路3が識別信号 ϕT を出力することにより行う。

【0020】<通常動作モード>通常動作モードにおける基本動作は、図6に示した従来例の動作と同様となる。つまり、図1のテストモード判定回路3が、通常動作モードである情報を信号 ϕT に出力したとき、センス

時間制御回路4は、センスアンプ1を活性化させる信号 ϕSE をワード線活性化から期間B後に活性化するようセットする。この時のタイムチャートは以下に説明する通りの図6に示した従来例1と同様となる。

【0021】図6の期間Aにおいて、プリチャージ信号 ϕP は、高レベルであるため、ビット線BL_{nA}とBL_{nB}は、プリチャージ信号 ϕP をゲート入力とするNchトランジスタTN2～TN4により、基準電位Vrefの電位に保持される。この時Vrefの電位は、VccとGNDの間の電位と仮定する。その後プリチャージ信号 ϕP は、高レベルから低レベルになる。

【0022】図6の期間Bにおいて、メモリセル7を選択する信号 ϕWL_1 が低レベルから高レベルとなり、信号 ϕWL_1 をゲート入力とするNchトランジスタTN1 (34) が活性化され、コンデンサC1 (33) に保持された電荷がビット線BL_{nA} (31) に出力される。この時、コンデンサC1に高レベルの電位が充電されていたと仮定しビット線BL_{nA}側の動作を説明すると、図6に示されるように、基準電位Vrefに対し△Vの電位上昇がビット線BL_{nA}に生じる。

【0023】図6の期間Cにおいて、センスアンプ1を活性化する信号 ϕSE が低レベルから高レベルになり、センスアンプ1はビット線BL_{nA}とBL_{nB}の差電位を比較増幅するため、ビット線BL_{nA}はVccに、ビット線BL_{nB}はGNDに電位増幅される。

【0024】<テスト動作モード>次に半導体記憶装置外部の信号情報を入力するテストモード判定回路3が、テスト動作モードである情報を信号 ϕT に出力したとき、センス時間制御回路4は、センスアンプ1を活性化させる信号 ϕSE をワード線活性化から期間D後に活性化するようセットする。この時のタイムチャートは図2のようになる。

【0025】図2の期間Aにおいて、プリチャージ信号 ϕP (39) は高レベルであるため、ビット線BL_{nA}とBL_{nB}は、プリチャージ信号 ϕP をゲート入力とするNchトランジスタTN2～TN4により、基準電位Vrefの電位に保持される。この時Vrefの電位は、VccとGNDの間の電位と仮定する。その後プリチャージ信号 ϕP は、高レベルから低レベルになる。

【0026】図2の期間Dにおいて、メモリセル7を選択する信号 ϕWL_1 (41) が低レベルから高レベルとなり、信号 ϕWL_1 をゲート入力とするNchトランジスタTN1が活性化され、コンデンサC1 (33) に保持された電荷がビット線BL_{nA}に出力される。この時、コンデンサC1に高レベルの電位が充電されていたと仮定しビット線BL_{nA}側の動作を説明すると、図2に示されるように基準電位Vrefに対し(△V-γ)の電位上昇がビット線BL_{nA}に生じる。

【0027】図2の期間D' と期間Cにおいて、センスアンプ1を活性化する信号 ϕSE が低レベルから高レベ

ルになり、センスアンプ1はビット線BL_nAとBL_nBの差電位($\Delta V - \gamma$)を比較増幅する。このとき信号 ϕSE の活性化時期が通常動作モードの時より期間D'だけ早いため、メモリセル7から出力される信号電位が γ だけ低減されて、センスアンプ1の増幅が開始される。上記の電位差($\Delta V - \gamma$)がセンスアンプ1の検出し得る最小の電位差以上だった場合、その後ビット線BL_nAはV_{cc}に、ビット線BL_nBはGNDに電位増幅される。

【0028】この期間D' と期間Cに、マージンの小さいメモリセル7の記憶情報が読み出された場合、よりビット線に出力する信号電位も小さくなり、センスアンプ1の検出し得る最小の電位差以下となり、誤増幅動作が行われ、ビット線BL_nAはGND、ビット線BL_nBはV_{cc}になる。

【0029】このように、この実施形態においては、従来よりも読み出しの条件が厳しくなり、マージンの小さいメモリセルやセンスアンプを容易に見つけ出すことができるという利点を有する。

【0030】[第2の実施形態] 図3は、本発明の第2の実施形態を示す半導体記憶装置の回路図である。図3において、1はセンスアンプであり複数のビット線BL_nA ($n=1 \sim n$)、BL_nB ($n=1 \sim n$)が接続されている。メモリセル7はNchトランジスタTN1(34)とコンデンサC1(33)により構成され、このメモリセル7のNchトランジスタTN1(34)のゲートにはワード線である信号 $\phi WL1$ (41)が接続されている。また、ビット線BL_nA、BL_nBには、複数のメモリセル7が接続されており、この複数のメモリセル7のNchトランジスタのゲートには、ワード線である信号 ϕWLm ($m=2 \sim m$)がビット線に交差するよう接続されている。

【0031】プリチャージ回路はNchトランジスタTN2～4で構成されており、各々のゲートにはプリチャージ信号 ϕP (39)が接続されている。NchトランジスタTN2(35)はビット線BL_nA(31)とビット線BL_nB(32)の間に接続され、NchトランジスタTN3(36)はビット線BL_nAと基準電位V_{ref}の間に接続され、NchトランジスタTN4はビット線BL_nBと基準電位V_{ref}の間に接続されている。

【0032】2は基準電位変圧器であり変圧信号発生回路21と信号 ϕDL 、 ϕDLB とコンデンサC2(42)、C3(43)で構成される。信号 ϕDL 、 ϕDLB は、変圧信号発生回路21に接続され、コンデンサC2(42)の両端は信号 ϕDL とビット線BL_nBに接続され、コンデンサC3の両端は信号 ϕDLB とビット線BL_nAに接続される。上記の変圧信号発生回路21は、信号 ϕTA 、 ϕTB によりテストモード判定回路5に接続される。

【0033】次に図3の実例の回路の動作について図4と図6を用いて説明する。半導体記憶装置外部の信号情報を入力するテストモード判定回路5が、通常動作モードである情報を信号 ϕTA 、 ϕTB に出力したとき、変圧信号発生回路21は動作を行わず、信号 ϕDL 、 ϕDLB は所定の電位に保持される。この時のタイムチャートは従来例と同様に図6のようになる。

【0034】<通常動作モード>以下、通常動作モードの場合の動作は図1の通常動作モードの動作説明と同様であるため説明を省略する。

【0035】<テスト動作モード>次に半導体記憶装置外部の信号情報を入力するテストモード判定回路5が、テスト動作モードである情報を信号 ϕTA 、 ϕTB に出力したとき、変圧信号発生回路21は動作可能となり、信号 ϕDL 、 ϕDLB は低レベルに設定される。この時のタイムチャートは図4のようになる。

【0036】図4の期間Aにおいて、プリチャージ信号 ϕP は、高レベルであるため、ビット線BL_nAとBL_nBは、プリチャージ信号 ϕP をゲート入力とするNchトランジスタTN2～TN4により、基準電位V_{ref}の電位に保持される。この時V_{ref}の電位は、V_{cc}とGNDの間の電位と仮定する。その後プリチャージ信号 ϕP は、高レベルから低レベルになる。

【0037】図4の期間Bにおいて、メモリセル7を選択する信号 $\phi WL1$ 及び ϕDL が低レベルから高レベルとなり、信号 $\phi WL1$ をゲート入力とするNchトランジスタTN1が活性化され、コンデンサC1に保持された電荷がビット線BL_nAに出力され、ビット線BL_nBは一端を ϕDL に接続されるコンデンサC2により基準電位V_{ref}より電位 β 高い($V_{ref} + \beta$)の電位に基準電圧が変圧される。この時、コンデンサC1に高レベルの電位が充電されていたと仮定すると、ビット線BL_nA側の動作は、図4に示されるように、基準電位V_{ref}に対し ΔV 高い($V_{ref} + \Delta V$)の電位がビット線BL_nAに生じる。このときビット線間の電位差は、 $(V_{ref} + \Delta V) - (V_{ref} + \beta) = (\Delta V - \beta)$ となる。

【0038】図4の期間Cにおいて、センスアンプ1を活性化する信号 ϕSE (40)が低レベルから高レベルになり、センスアンプ1はビット線BL_nAとBL_nBの差電位($\Delta V - \beta$)を比較増幅する。上記の電位差($\Delta V - \beta$)がセンスアンプの検出し得る最小の電位差以上だった場合、ビット線BL_nAはV_{cc}に、ビット線BL_nBはGNDに、センスアンプ1により電位増幅される。この期間Cに、動作マージンの小さいメモリセル7の記憶情報が読み出された場合、よりビット線に出力する信号電位も小さくなり、センスアンプ1の検出し得る最小の電位差以下となり、誤増幅動作が行われ、ビット線BL_nAはGNDに、ビット線BL_nBはV_{cc}になる。

【0039】また、本第2の実施形態では、テストモード判定回路3の出力によって、変圧信号発生回路21の出力信号 ϕDL 、 ϕDLB の極性を図4の点線の波形に変更することで、メモリセルの低レベル出力時のビット線間の差電位を小さくすることが可能となる。

【0040】このように、第2の実施形態においては、従来よりも読み出しの条件が厳しくなり、マージンの小さいメモリセルやセンスアンプ1を容易に見つけ出すことができるという利点を有する。

【0041】上記実施形態の半導体記憶装置によれば、センスアンプの活性化時期を早めることにより、センスアンプに接続されたビット線対の差電位を小さくでき、増幅可能な最小の電位差に近づけることで、マージンの小さなメモリセルやセンスアンプを検出することができる。

【0042】また、センスアンプに接続されたビット線対のうち一方のビット線の基準電位に変圧を加えることにより、センスアンプに接続されたビット線対の差電位を小さくでき、増幅可能な最小の電位差に近づけることで、マージンの小さなメモリセルやセンスアンプを検出することができる。

【0043】尚、上述の実施形態は本発明の好適な実施の一例である。但し、これに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施が可能である。たとえば、上記の各実施形態においては、Nchトランジスタを用いて説明したが、Pチャネルエンハンスマント型MOSトランジスタとしても同様の作用・効果が得られる。

【0044】

【発明の効果】以上の説明より明かなように、請求項1または請求項4に記載の発明の半導体記憶装置は、所定のテストを開始するための信号情報を検出し、検出した出力信号を入力し、ワード線とセンスアンプの動作遅延時間を制御し、データ記憶保持の動作マージンの小さなメモリセルの有無を検出する。メモリセルの読み出し時においてビット線間の電位差を低下させることにより、マージンの小さいメモリセルやセンスアンプを短時間で容易に見つけ出すことが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体記憶装置の第1の実施形態のプリチャージ部の回路構成例を示すブロック図である。

【図2】第1の実施形態の動作例を示すタイミングチャートである。

【図3】本発明の半導体記憶装置の第2の実施形態のプリチャージ部の回路構成例を示すブロック図である。

【図4】第2の実施形態の動作例を示すタイミングチャートである。

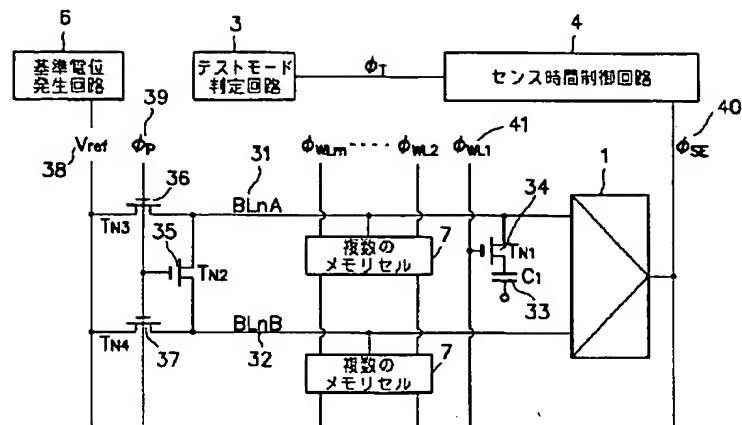
【図5】従来の半導体記憶装置のプリチャージ部の回路構成例を示すブロック図である。

【図6】従来の通常動作モードにおける基本動作例を示すタイミングチャートである。

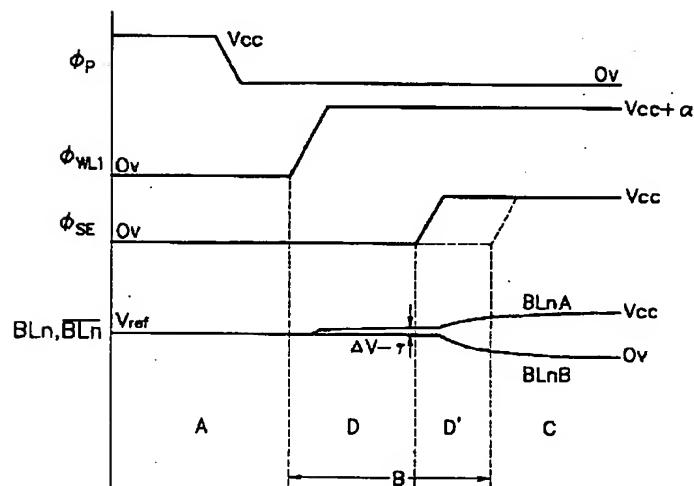
【符号の説明】

- 1 センスアンプ
- 2 基準電位変圧器
- 3 テストモード判定回路
- 4 センス時間制御回路
- 5 テストモード判定回路
- 6 基準電位発生回路
- 7 メモリセル
- 21 変圧信号発生回路
 - 11, 31 ビット線・BLnA
 - 12, 32 ビット線・BLnB
 - 13, 33 コンデンサ・C1
 - 14, 34 Nチャンネルエンハンスマント型MOSトランジスタTN1
 - 15, 35 Nチャンネルエンハンスマント型MOSトランジスタTN2
 - 16, 36 Nチャンネルエンハンスマント型MOSトランジスタTN3
 - 17, 37 Nチャンネルエンハンスマント型MOSトランジスタTN4
 - 18, 38 基準電位・Vref
 - 19, 39 プリチャージ信号・ ϕP
 - 20, 40 センスアンプを活性化する信号・ ϕSE
 - 22, 41 メモリセルを選択する信号・ ϕWL_1
 - 42 コンデンサ・C2
 - 43 コンデンサ・C3

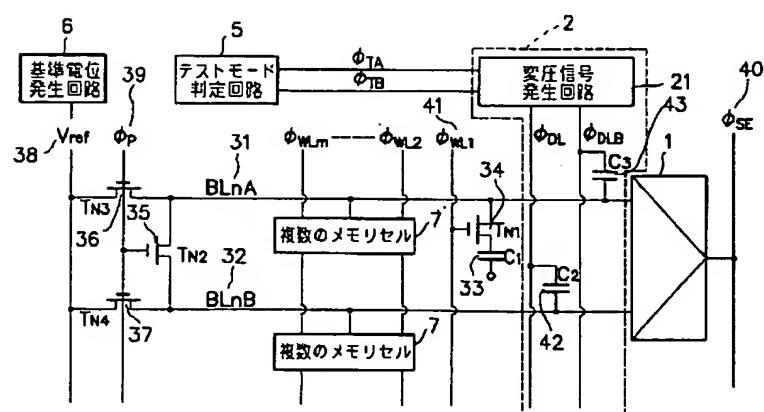
【図1】



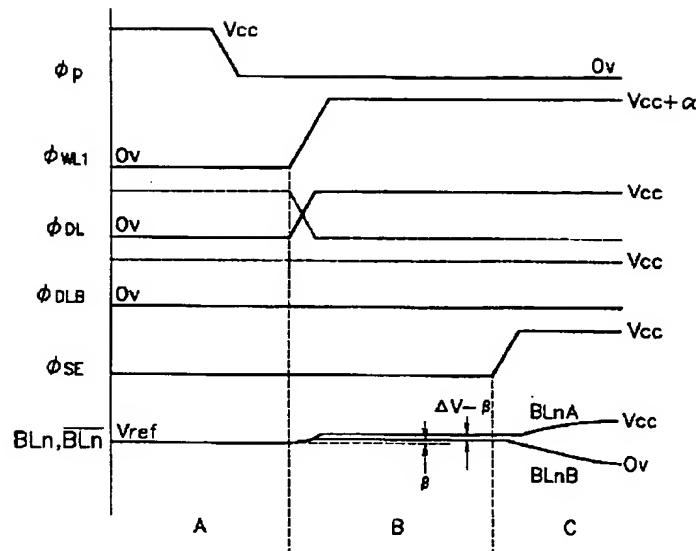
【図2】



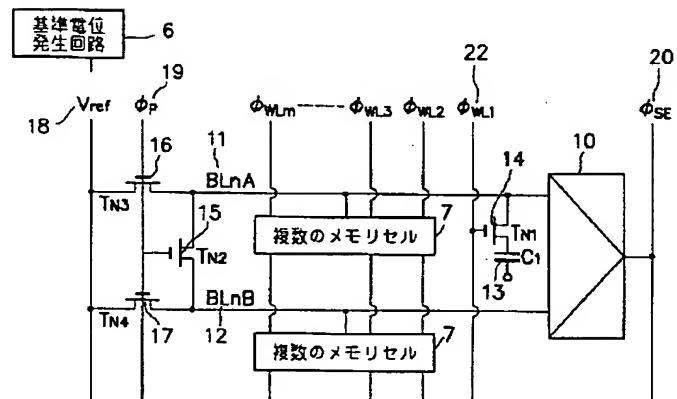
【図3】



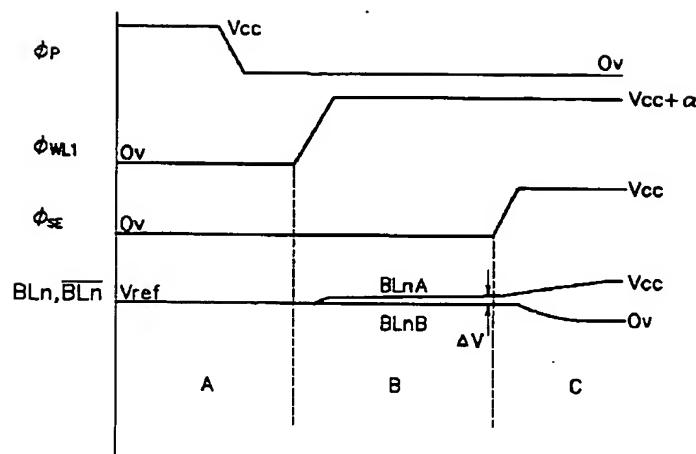
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. 6
G 11 C 11/401
H 01 L 21/66

識別記号

F I
G 11 C 11/34

353 E
371 A

THIS PAGE BLANK (USPTO)